

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-058672

(43)Date of publication of application : 03.03.1995

(51)Int.Cl.

H04B 3/06
H03H 17/00
H03H 17/02
H03H 21/00
H04B 7/005
H04B 7/02

(21)Application number : 05-201334

(22)Date of filing : 13.08.1993

(71)Applicant : FUJITSU LTD

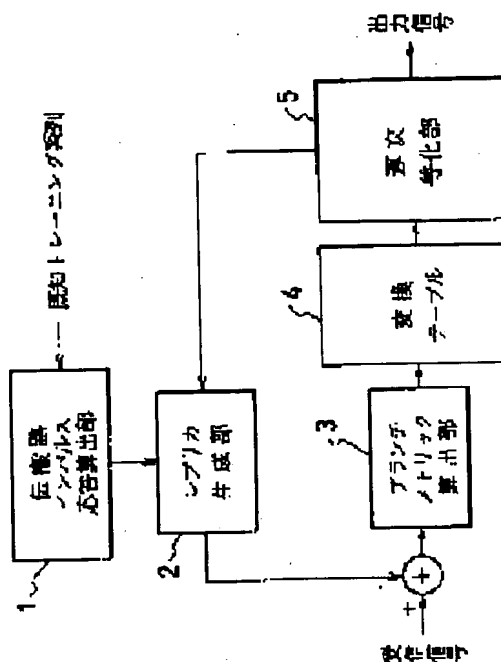
(72)Inventor : HAMADA HAJIME
YAMASHITA ATSUSHI

(54) DIGITAL ADAPTIVE EQUALIZER

(57)Abstract:

PURPOSE: To make a circuit scale small and to reduce a calculation amount by providing a successive equalization part using successive decoding algorithm.

CONSTITUTION: By a received training series, the impulse response CIR of a propagation line is calculated in a propagation line impulse response calculation part 1. A replica generation part 2 generates replica signals based on the impulse response CIR of the propagation line and equalized output signals and a branch metric calculation part 3 calculates the square of the absolute value of a difference between the replica signals and reception signals through the propagation line as branch metric. A conversion table 4 converts the branch metric to Fano metric obtained from the distribution function of the branch metric for instance and the successive equalization part 5 equalizes the reception signals by applying the successive decoding algorithm such as the Fano algorithm and stack algorithm, etc.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-58672

(43) 公開日 平成7年(1995)3月3日

(51) Int.Cl. ⁸	識別記号	庁内整理番号	F I	技術表示箇所
H 0 4 B 3/06	A	7741-5K		
H 0 3 H 17/00	A	8842-5 J		
17/02	G	8842-5 J		
	H	8842-5 J		
21/00		8842-5 J		

審査請求 未請求 請求項の数 3 O L (全 10 頁) 最終頁に続く

(21) 出願番号 特願平5-201334

(22) 出願日 平成5年(1993)8月13日

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72) 発明者 浜田 一

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(72) 発明者 山下 敦

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(74) 代理人 弁理士 柏谷 昭司 (外1名)

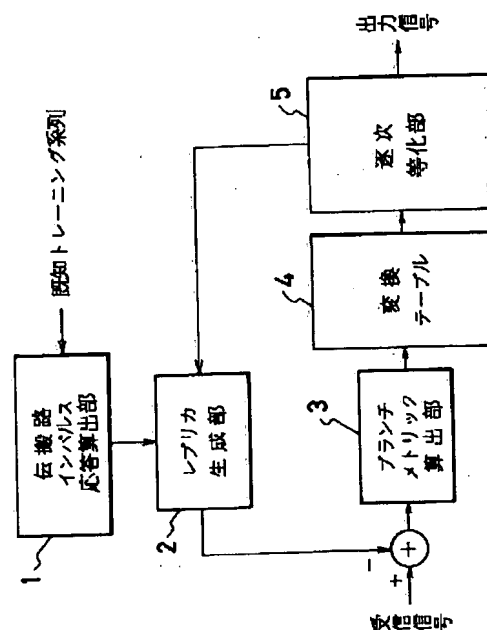
(54) 【発明の名称】 デジタル適応等化器

(57) 【要約】

【目的】 逐次復号アルゴリズムを適用したデジタル適応等化器に関し、所望の等化性能を維持して計算量を削減する。

【構成】 既知のトレーニング系列によって伝搬路のインパルス応答 C I R を算出する伝搬路インパルス応答算出部1と、この伝搬路インパルス応答算出部1による伝搬路のインパルス応答に従って等化出力信号からレプリカ信号を生成するレプリカ生成部2と、このレプリカ生成部2からのレプリカ信号と受信信号との差の絶対値の二乗を算出してブランチメトリックとするブランチメトリック算出部3と、このブランチメトリックを整数のファノメトリックに変換する変換テーブル4と、このファノメトリックを基に逐次復号アルゴリズムによりパスメトリックを求めて確からしいパスを1シンボル毎に延ばして、受信信号の等化処理を行う逐次等化部5とを備えている。

本発明の原理説明図



【特許請求の範囲】

【請求項1】 既知のトレーニング系列によって伝搬路のインパルス応答を算出する伝搬路インパルス応答算出部(1)と、

該伝搬路インパルス応答算出部(1)により求めた伝搬路のインパルス応答に従って等化出力信号からレプリカ信号を生成するレプリカ生成部(2)と、

該レプリカ生成部(2)によるレプリカ信号と前記伝搬路を介した受信信号との差の絶対値の二乗をブランチメトリックとして算出するブランチメトリック算出部

(3)と、

該ブランチメトリック算出部(3)によるブランチメトリックを整数のメトリックに変換する変換テーブル

(4)と、

該変換テーブル(4)による整数のメトリックを用いて逐次復号アルゴリズムにより前記受信信号の等化を行う逐次等化部(5)とを備えたことを特徴とするデジタル適応等化器。

【請求項2】 前記伝搬路インパルス応答算出部(1)は、前記レプリカ信号と前記伝搬路を介した受信信号との差を基に、前記逐次等化部(5)に於けるパス伸長毎に、前記伝搬路のインパルス応答を算出する構成としたことを特徴とする請求項1記載のデジタル適応等化器。

【請求項3】 ダイバーシチ受信経路対応に前記デジタル適応等化器を設け、且つ最初に等化処理を終了したダイバーシチ受信経路の等化出力信号を選択する構成を設けたことを特徴とする請求項1記載のデジタル適応等化器。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、逐次復号アルゴリズムを適用して受信信号の等化を行うデジタル適応等化器に関する。伝搬路を介して受信した信号は各種の歪みや干渉を受けたものとなるから、この受信信号を等化して受信識別する為に、例えば、デジタル適応等化器が用いられている。このデジタル適応等化器は、1シンボル前の等化出力信号をフィードバックして遅延波の影響を打ち消す判定帰還型等化器(DFE; Decision Feed back Equalizer)が一般的である。又ビタビ復号アルゴリズムを適用し、最尤推定により受信信号の等化を行う最尤系列推定型等化器(MLSE; Maximum Likelihood Sequence Estimation)も提案されている。このようなデジタル適応等化器を経済的に実現することが要望されている。

【0002】

【従来の技術】 デジタル適応等化器としての判定帰還型等化器DFEは、比較的簡単な構成で計算量が少なく済む反面、デジタル無線通信等に適用するには等化性能が充分ではない。これに対して、最尤系列推定型等

化器MLSEは、デジタル無線通信等に対しても充分な等化性能を発揮することができる。図7は従来例の説明図であり、ビタビ復号アルゴリズムを適用した最尤系列推定型等化器を示す。

【0003】 図7に於いて、41は伝搬路インパルス応答算出部、42はレプリカ生成部、43は加算器、44は最尤系列推定部、45はブランチメトリック算出部、46はACS回路、47はバスメモリ、48はセレクトである。

【0004】 セレクト48は、バースト信号の先頭等に於ける既知のトレーニング系列を受信する時に、そのトレーニング系列を伝搬路インパルス応答算出部41とレプリカ生成部42に加えるように切替えるもので、伝搬路インパルス応答算出部41は既知のトレーニング系列を基に伝搬路のインパルス応答(CIR; Channel Impulse Response)の算出を行い、デジタル信号の受信時には、セレクト48を最尤系列推定部44側に切替えて、等化出力信号を伝搬路インパルス応答算出部41とレプリカ生成部42に加え、遅延波に相当するレプリカ信号を形成し、加算器43により受信信号とレプリカ信号との差を求めて、最尤系列等化部44に入力する。

【0005】 最尤系列推定部44は、ブランチメトリック算出部45と、加算器(A)と比較器(C)とセレクト(S)とからなるACS回路46と、バスメモリ47とを含み、レプリカ生成部42からのレプリカ信号と受信信号との差分が加算器43から出力されて最尤系列推定部44に加えられる。

【0006】 ブランチメトリック算出部45によりブランチ対応にブランチメトリックを算出し、ACS回路46の加算器(A)によりブランチメトリックと前回の生き残りパスのバスメトリックとを加算して、比較器

(C)によりブランチ間のバスメトリックを比較し、セレクト(S)により大きい方のバスメトリックを生き残りパスとして選択し、その生き残りパスをバスメモリ47に記憶し、このバスメモリ47の終段から等化出力信号を送出することになる。

【0007】 又等化出力信号はセレクト48を介してレプリカ生成部42に入力され、伝搬路インパルス応答算出部41による伝搬路のインパルス応答CIRに対応したレプリカ信号が生成されて加算器43に加えられ、受信信号との差分が最尤系列推定部44に入力される。このようなビタビ復号アルゴリズムを用いたデジタル適応等化器は、例えば、特開平4-261210号公報にも示されている。

【0008】

【発明が解決しようとする問題点】 従来例のデジタル適応等化器としての判定帰還型等化器DFEは、前述のように、判定結果を帰還して遅延波の影響を除くもので、構成が比較的簡単であるが、データ通信等に於いて

は等化性能が充分でない欠点があり、又最尤系列推定型等化器MLSEは、等化性能は充分であるが、変調方式の多値数や、遅延波の遅延時間が大きくなるに従って、パスメモリ等を含む回路規模が大きくなり、且つ計算量が指数関数的に増大し、等化処理時間が長くなると共に高価な構成となる欠点がある。本発明は、所望の等化性能を維持しながら、計算量を削減することを目的とする。

【0009】

【課題を解決するための手段】本発明のデジタル適応等化器は、図1を参照して説明すると、既知のトレーニング系列によって伝搬路のインパルス応答CIRを算出する伝搬路インパルス応答算出部1と、この伝搬路インパルス応答算出部1により求めた伝搬路のインパルス応答CIRに従って等化出力信号からレプリカ信号を生成するレプリカ生成部2と、このレプリカ生成部2によるレプリカ信号と伝搬路を介した受信信号との差の絶対値の二乗をブランチメトリックとして算出するブランチメトリック算出部3と、このブランチメトリック算出部3によるブランチメトリックを整数のメトリックに変換する変換テーブル4と、この変換テーブル4による整数のメトリックを用いて逐次復号アルゴリズムにより受信信号の等化を行う逐次等化部5とを備えている。

【0010】又伝搬路インパルス応答算出部1は、レプリカ信号と伝搬路を介した受信信号との差を基に、逐次等化部5に於けるパス伸長毎に、伝搬路のインパルス応答を算出する構成とすることができる。

【0011】又ダイバーシチ受信経路対応にデジタル適応等化器を設け、最初に等化処理を終了したダイバーシチ受信経路の等化出力信号を選択する構成を設けることができる。

【0012】

【作用】デジタル信号の受信に先立って受信するトレーニング系列によって、伝搬路のインパルス応答CIRを伝搬路インパルス応答算出部1に於いて算出する。レプリカ生成部2は、この伝搬路のインパルス応答CIRと等化出力信号とを基にレプリカ信号を生成する。ブランチメトリック算出部3は、伝搬路を介した受信信号とレプリカ信号との差の絶対値の二乗をブランチメトリックとして算出し、変換テーブル4は、このブランチメトリックを、例えば、ブランチメトリックの分布関数から求めたファノメトリックに変換する。逐次等化部5は、ファノアルゴリズム (Fano Algorithm) やスタックアルゴリズム (Stack Algorithm) 等の逐次復号アルゴリズムを適用して、受信信号の等化を行う。

【0013】又伝搬路インパルス応答算出部1は、トレーニング系列によって伝搬路のインパルス応答CIRを算出した後に於いても、受信信号を基に伝搬路のインパルス応答を算出し、伝搬路の特性変動に追従してインパルス応答を更新することにより、等化特性を維持するこ

とができる。

【0014】又スペースダイバーシチ等のダイバーシチ受信経路を複数設けた場合に、各ダイバーシチ受信経路にデジタル適応等化器を設け、最初に等化処理を終了したダイバーシチ受信経路のデジタル適応等化器は、その受信信号の誤りが最も少ない経路であるから、そのデジタル適応等化器による等化出力信号を選択して出力する。

【0015】

【実施例】図2は本発明の第1の実施例の説明図であり、11は伝搬路インパルス応答算出部、12はレプリカ生成部、13はブランチメトリック算出部、14は変換テーブル、15は逐次等化部、16は加算器、17は受信バッファ、18はスタック制御部、19はスタックメモリ、20はサブスタックメモリである。

【0016】受信信号は受信バッファ17に一旦蓄積され、逐次等化部15に於ける等化処理の進行に伴って順次読出される。又伝搬路インパルス応答算出部11は、既知のトレーニング系列によって伝搬路のインパルス応答CIRを算出する。又ブランチメトリック算出部13は、加算器16からの受信信号とレプリカ信号との差分の絶対値の二乗をブランチメトリックとするものであり、このブランチメトリックを変換テーブル14に加えて、整数のメトリックに変換する。

【0017】又逐次等化部15は、スタックアルゴリズムを用いた場合、図示のように、スタック制御部18と、スタックメモリ19と、サブスタックメモリ20とを含む構成とすることができ、スタックメモリ19の内容をトレースバックして等化出力信号を得ることができる。又サブスタックメモリ20は、パスを延ばす節点をパスメトリックの大きい順に並べて格納するものである。

【0018】図3はスタックアルゴリズムの説明図であり、丸印は節点を示し、その中の数字0~30は節点番号を示す。又受信シンボルを“0”と仮定した時に上側のパス、“1”と仮定した時に下側のパスを延ばす2分岐の場合を示す。又パスを延ばした先の節点に於いて、パスのファノメトリックを順次加算した値をパスメトリックとする。例えば、節点0に於いて、受信シンボルを“0”と仮定した時にファノメトリックが-7、“1”と仮定した時に-1であるとする、パス(v)を延ばした先の節点1のパスメトリックは-7、パス(i)を延ばした先の節点2のパスメトリックは-1となる。

【0019】この場合、節点2のパスメトリックが大きいため、この節点2からパスを延ばすことになり、節点2に於いて“0”と仮定した時と“1”と仮定した時とのファノメトリックが共に-4であるとする、パス(i)、(iii)の何れを延ばしても良いが、例えば、“0”と仮定したパス(ii)を延ばすように予め定めることができる。この場合の節点5のパスメトリックは-5であつ

て、節点1のパスメトリックの-7より大きいから、この節点5からパスを延ばすことになり、この節点5に於いて“0”と仮定した時にファノメトリックが-1、

“1”と仮定した時に-7とすると、“0”と仮定した時のファノメトリックが大きいからパス(iv)を延ばす。

【0020】パス(iv)の先の節点11のパスメトリックは-6となり、節点6のパスメトリックの-5より小さいから節点6に戻り、この節点6からパスを延ばした時、節点13、14のパスメトリックが図示のようにそれぞれ-9となったとすると、節点11のパスメトリックの-6の方が大きいから、この節点11からパスを延ばすことになる。その場合、“0”と仮定した時も

“1”と仮定した時も共にファノメトリックが-4であるとして、節点23、24のパスメトリックは共に-10となり、節点1のパスメトリックの-7より小さくなる。

【0021】この場合は、節点1に戻ってからパスを延ばすことになり、この節点1に於いて、“0”と仮定し

$$r_j = \sum (\log_2 \{P(r_{ji} | x_{ji}) / f(r_{ji})\} - B) \quad \dots (1)$$

で表される。なお、 \sum は $i=1$ から $i=N$ までの各ビットの和を求めることを示し、 N は符号化に於ける符号化率、 x_{ji} は送信シンボル、 r_{ji} は受信シンボル、 $P(r_{ji} | x_{ji})$ は送信シンボル x_{ji} を送信した時に受信シンボル r_{ji} が受信される確率、 $f(r_{ji})$ は受信シンボル r_{ji} の生起確率、 B はバイアス値であり、このバイアス値 B は、受信シンボルが確からしい時に、メトリックが正となるような値に選定されるもので、誤り訂正符号の復号に於ける最適値は $1/N$ であることが知られてい

$$p(x, y) = (1/2\pi\sigma^2) \exp \{-(x^2 + y^2) / 2\sigma^2\} \quad \dots (2)$$

となる。

【0025】この(2)式に於いて、雑音 x, y を極座

$$p(R) = (R/\sigma^2) \exp(-R^2/2\sigma^2) \quad \dots (3)$$

となる。

【0026】ブランチメトリックが a 以上且つ b 以下と

$$P(a, b) = \int_a^b p(R) dR = \exp(-a/2\sigma^2) - \exp(-b/2\sigma^2) \quad \dots (4)$$

となる。なお、 \int は $a^{1/2}$ から $b^{1/2}$ までの積分を示す。

$$FM(n) = \langle \alpha \times \{\log(P(n\delta, (n+1)\delta)) + \beta\} \rangle \quad \dots (5)$$

として表すことができる。なお、 α, β は定数、 $\langle X \rangle$ の $\langle \rangle$ は X を超えない最大の整数を表す記号を示す。例えば、 $\alpha=8.0, \beta=4.0, \delta=6.0/256$ とし、又 $n=0 \sim 255$ の整数とすることができる。

【0028】本発明の実施例に於いては、ファノメトリック $FM(n)$ を変換テーブル14によって求めるもので、ブランチメトリック算出部13によって算出した絶対値の二乗によるブランチメトリックの分布関数から

(5)式により求めたファノメトリックを変換テーブル

た時に-7、“1”と仮定した時に-1であるとして、パス(vi)を延ばし、その先の節点4のパスメトリックは-8となる。この節点4に於いて、“0”と仮定した時にファノメトリックが-2、“1”と仮定した時に0とすると、ファノメトリックが大きい“1”と仮定したパス(vii)を延ばすことになる。

【0022】そして、パス(vii)を延ばした先の節点10に於いて“0”と仮定した時にファノメトリックが2、“1”と仮定した時に-10であるとして、“0”と仮定したパス(viii)を延ばすことになる。そして、最終段の節点21、22、23、24のパスメトリックは、-6、-18、-10、-10となり、節点21のパスメトリック(-6)が最大であるから、この節点21からトレースバックし、太線で示すパス(viii)、(vii)、(vi)、(v)が選択され、等化出力信号は“0110”となる。

【0023】或る時点 j に於ける前述のファノメトリック r_j は、

【0024】逐次等化に於ける前述のファノメトリックは、逐次復号に於ける本来のファノメトリックとは多少異なるものであるが、本発明の実施例に於いては、同一表現のファノメトリックとして説明する。受信信号の実部成分と虚部成分とにそれぞれ等しい分散 σ^2 で平均値0の独立なガウス雑音 x, y が付加されていると仮定すると、雑音 x, y の結合確率分布 $p(x, y)$ は、

標表示の $x=R\cos\theta, y=R\sin\theta$ と置き換えて、雑音の振幅分布 $p(R)$ を求めると、

なる確率 $P(a, b)$ は、振幅 R が $a^{1/2}$ 以上で $b^{1/2}$ 以下である確率であるから、

【0027】この(4)式を基にファノメトリック $FM(n)$ を

力し、ファノメトリックを讀出して逐次等化部15に入力する。

【0029】送信信号の変調方式は各種の方式が知られており、例えば、 M 値の変調方式によりバースト通信を行う場合、バーストの先頭に付加されたトレーニング系列を用いて、伝搬路インパルス応答算出部11は、伝搬路のインパルス応答 CIR を算出する。又レプリカ生成部12は、パスメトリックの大きい順に節点の情報を格納したサブスタックメモリ20を検索し、遅延波の遅延時間を考慮した過去の時点の判定信号点と、インパルス

応答CIRとから、M個の状態のそれぞれのレプリカ信号を生成する。

【0030】このM個のレプリカ信号と受信信号との差分を加算器16により求め、M個の差分値のそれぞれの絶対値の二乗をブランチメトリック算出部13に於いて求め、それをブランチメトリックとして出力する。このブランチメトリックを前述の(5)式を基にした変換テーブル14によりファノメトリックに変換する。

【0031】図3のパス探索説明図は、2値の場合に相当するが、M値の場合は、M本のパスが延ばされることになり、スタック制御部18に於いてファノメトリックからパスメトリックを求め、パスメトリックの大きい方のパスを生き残りパスとして、順次節点からパスを延ばし、その節点の情報をスタックメモリ19に格納し、パスメトリックの大きい順にサブスタックメモリ20に節点の情報を格納する。従って、サブスタックメモリ20を検索することにより、パスメトリックが最も大きい節点からパスを伸長することができる。

【0032】バーストの最後まで逐次等化が終了すると、サブスタックメモリ20を参照してスタックメモリ19のトレースバックを行い、このスタックメモリ19から等化出力信号を送出することになる。なお、伝送誤りが多い場合には、後戻りした節点からパスを延ばす為の処理が繰り返し行われることが多くなり、スタックメモリ19の容量が有限であるから、等化不能の場合が生じる。その場合は、受信信号をそのまま出力してバーストの等化処理を終了する。

【0033】図4は本発明の第2の実施例の説明図であり、受信バッファを省略して示し、21は伝搬路インパルス応答算出部、22はレプリカ生成部、23はブランチメトリック算出部、24は変換テーブル、25は逐次等化部、26は加算器、27はセレクタ、28はスタック制御部、29はスタックメモリ、30はサブスタックメモリである。

【0034】この実施例は、前述の第1の実施例と同様に、受信信号とレプリカ信号との差分の絶対値の二乗をブランチメトリックとしてブランチメトリック算出部23により算出し、変換テーブル24によりブランチメトリックから(5)式に基づいたファノメトリックに変換し、逐次等化部25に於いてスタックアルゴリズムにより逐次等化を行うものである。

【0035】又セレクタ27は、既知のトレーニング系列の受信時は、そのトレーニング系列を伝搬路インパルス応答算出部21とレプリカ生成部22とに加えて、伝搬路のインパルス応答CIRを算出し、その後に、セレクタ27は、逐次等化部25からの遅延波の遅延時間に相当する過去の節点の情報を伝搬路インパルス応答算出部21とレプリカ生成部22とに加えて、加算器26からの受信信号とレプリカ信号との差分を伝搬路インパルス

化処理によるパスの伸長毎に伝搬路のインパルス応答CIRを求める。それにより、フェージング等による伝搬路の特性変化に追従して、受信信号の逐次等化を行うことができる。

【0036】又ダイバーシチ方式に於いては、複数の受信経路が構成され、最大受信レベルの受信経路を選択したり、或いは、位相を合わせて合成する方式等が知られている。このようなダイバーシチ方式の複数の受信経路対応に、前述の第1又は第2の実施例のデジタル適応等化器を設ける。そして、受信信号のC/Nが大きい受信経路に於いては、後戻りした節点から再度パスを伸長する演算を行う回数が少なくなり、従って、等化処理が最も早くなる。そこで、最初に等化処理が終了した受信経路の等化出力信号を選択するものである。

【0037】又逐次等化部15、25は、スタックアルゴリズムによる場合を示すが、ファノアルゴリズムによる構成とすることも可能である。このファノアルゴリズムの場合は、例えば、前方ブランチメトリック算出部と、後方ブランチメトリック算出部と、変換テーブルと、パス判定制御部と、バッファメモリとにより逐次等化部15、25を構成することができる。

【0038】このファノアルゴリズムによる逐次等化部に於いては、複数段階の閾値を設け、パス判定制御部によりパスメトリックが或る閾値を超えたか否かを判定し、超えた場合は前進によるパス探索を行い、次のシンボルに対してもパスメトリックが閾値を超えた場合は前進によるパス探索を行い、パスメトリックが増加するに伴って閾値も大きくなるように切替える。又閾値より小さいパスメトリックとなった場合は後進によるパス探索に移行し、それによっても閾値を超えない場合は、閾値が小さくなるように切替える。前進によるパス探索が継続してバーストの最後まで等化が終了すると、パス判定制御部からバッファメモリに格納されたパスの情報に従った等化出力信号が送出される。

【0039】図5はC/N対1シンボル当りのパス伸長回数曲線図であり、8相PSK変調の受信信号を同期検波して等化する場合のシミュレーション結果を示す。又横軸はC/N[dB]、縦軸は回数を示し、シミュレーションの条件として、伝送速度は667kシンボル/s、フェージングとして、無相関2波レイリー、最大ドップラー周波数10Hz、1シンボル遅延とし、サンプリングタイミングは理想的なタイミングと仮定し、周波数オフセットは0と仮定した。

【0040】前述の図7に示す従来例の場合は、点線のMLSEとして示すように、1シンボル当りの計算は64回となる。これに対して、本発明の実施例によれば、実線の逐次等化として示すように、C/Nが約25dB以上に於いては、1シンボル当り最低の8回の計算で済むことになり、C/Nが比較的大きい伝搬路の場合には、従来例に比較して計算量を飛躍的に低減することが

できる。

【0041】図6はC/N対ビット誤り率特性曲線図であり、前述の条件によるシミュレーション結果を示し、横軸はC/N [dB]、縦軸はビット誤り率BERを示す。細点線のMLSEと太点線のDFEとは、従来例の最尤系列推定型等化器と判定帰還型等化器とについてのビット誤り率特性を示し、実線の逐次等化は、本発明の実施例によるビット誤り率特性を示す。本発明の実施例によれば、判定帰還型等化器に比較してビット誤り率BERは著しく改善され、最尤系列推定型等化器に比較して僅かに劣る程度であり、バースト通信等に於いても充分な等化特性を得ることができる。

【0042】

【発明の効果】以上説明したように、本発明は、ファノアルゴリズムやスタックアルゴリズム等の逐次復号アルゴリズムを用いた逐次等化部5を設けたデジタル適応等化器であり、最尤系列推定型等化器に比較して回路規模が小さく、且つ計算量を少なくすることが可能となる利点がある。特に、データ通信に使用できるBERの小さい伝搬路、即ち、C/Nの大きい伝搬路の場合には、極めて少ない計算量で等化処理が可能となる利点がある。

【0043】又1シンボルの等化処理によるパス伸長毎に、伝搬路インパルス応答算出部1により、伝搬路のインパルス応答を算出することにより、フェージング等に

よる伝搬路の特性変動に対して等化特性を追従させることが可能となり、誤り率を改善できる利点がある。

【0044】又ダイバーシチ受信経路対応に、逐次等化部5を有するデジタル適応等化器を設けて、最初に等化処理が終了した受信経路の等化出力信号を選択することにより、最も受信状態が良い受信経路の等化出力信号を選択することができ、且つ受信処理の高速化を図ることができる利点がある。

【図面の簡単な説明】

【図1】本発明の原理説明図である。

【図2】本発明の第1の実施例の説明図である。

【図3】スタックアルゴリズムに於けるパス探索説明図である。

【図4】本発明の第2の実施例の説明図である。

【図5】C/N対1シンボル当りのパス伸長回数曲線図である。

【図6】C/N対ビット誤り率特性曲線図である。

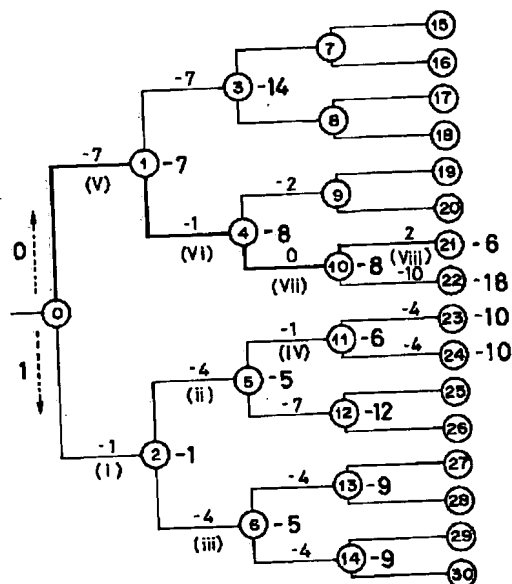
【図7】従来例の説明図である。

【符号の説明】

- 1 伝搬路インパルス応答算出部
- 2 レプリカ生成部
- 3 ブランチメトリック算出部
- 4 変換テーブル
- 5 逐次等化部

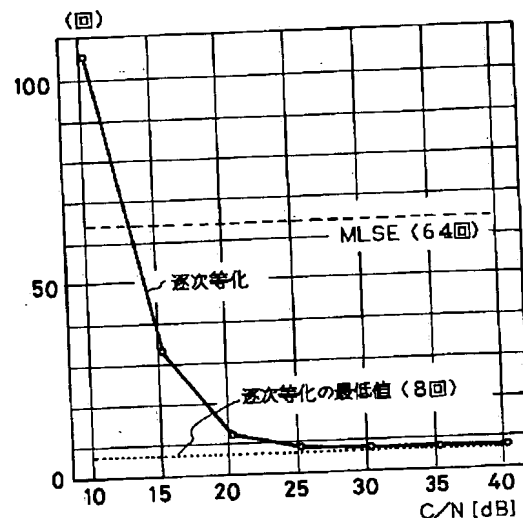
【図3】

スタックアルゴリズムに於ける
パス探索説明図



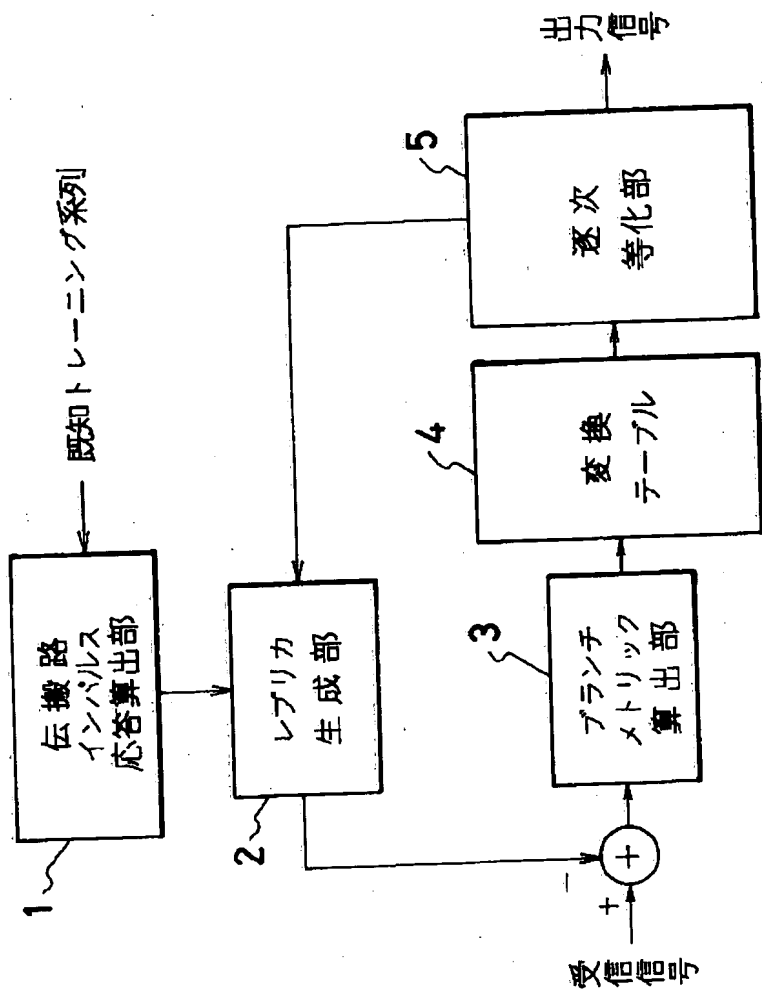
【図5】

C/N対1シンボル当りの
パス伸長回数曲線図



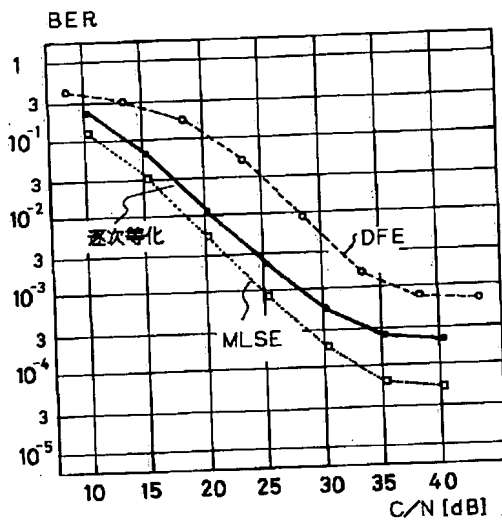
【図1】

本発明の原理説明図

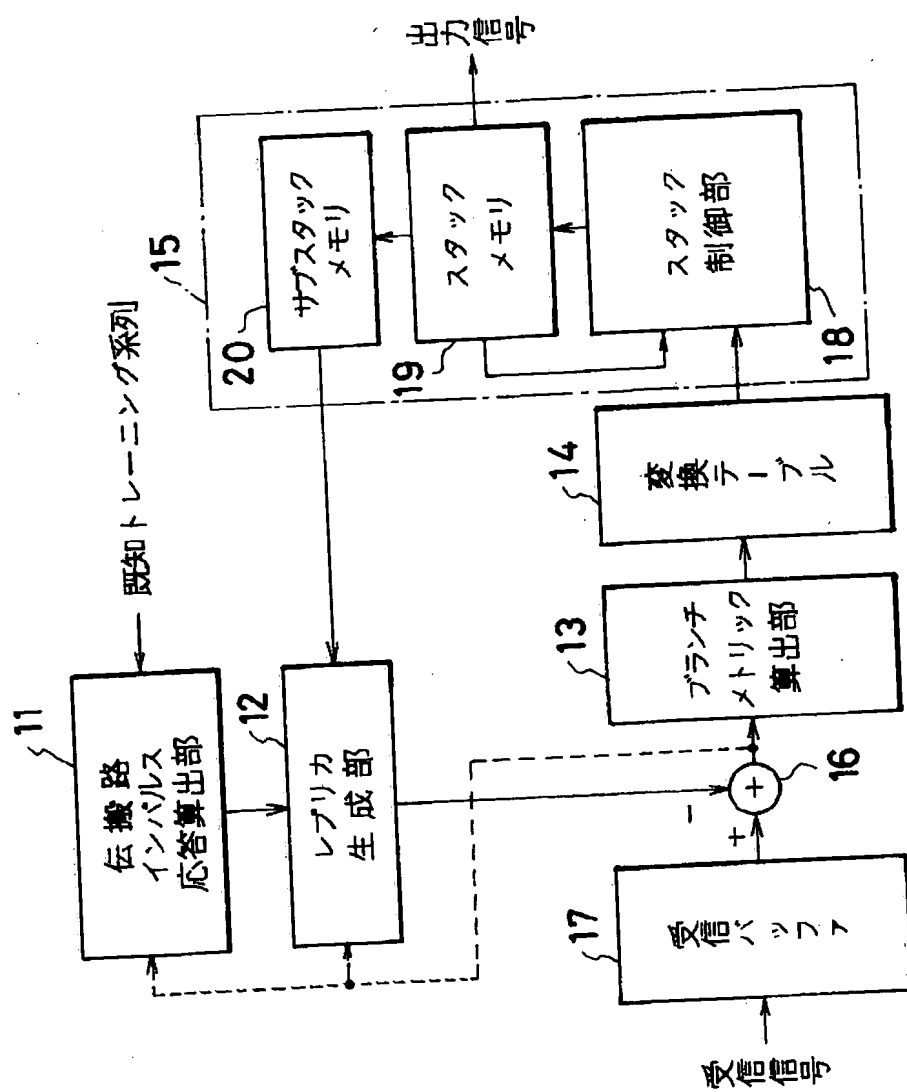


【図6】

C/N対ビット誤り率特性曲線図

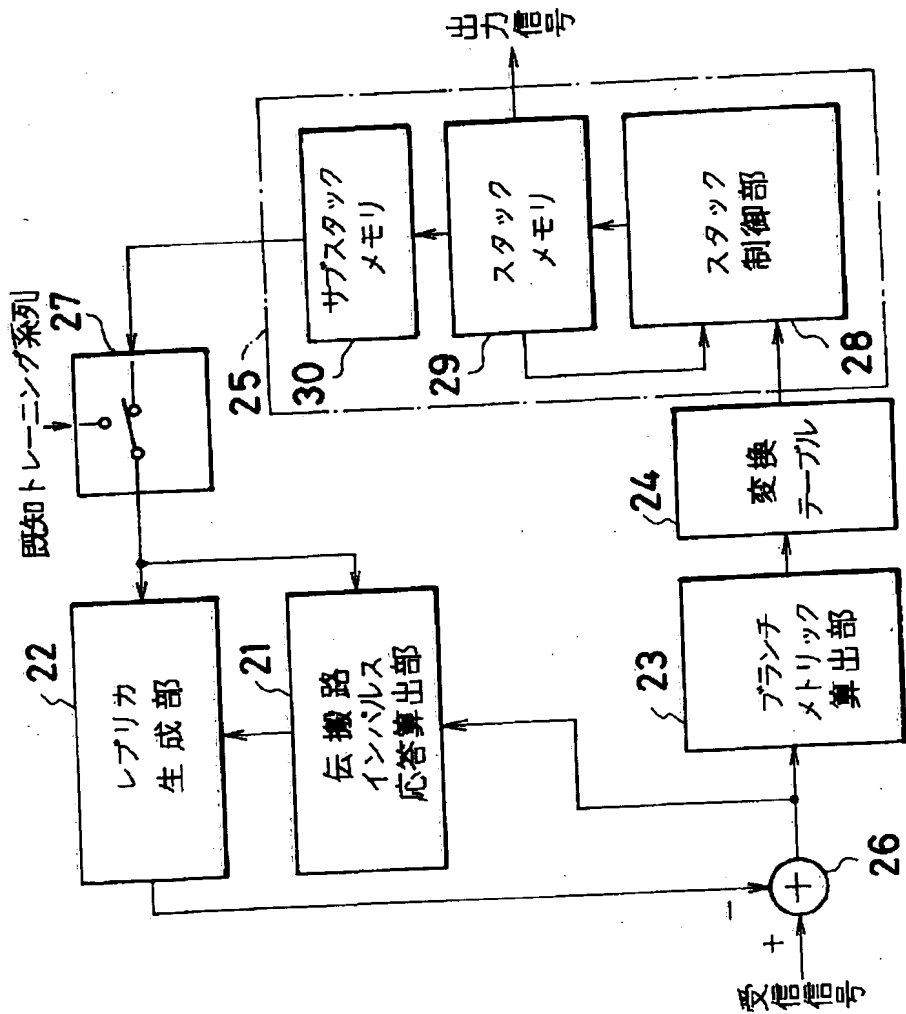


本発明の第 1 の実施例の説明図



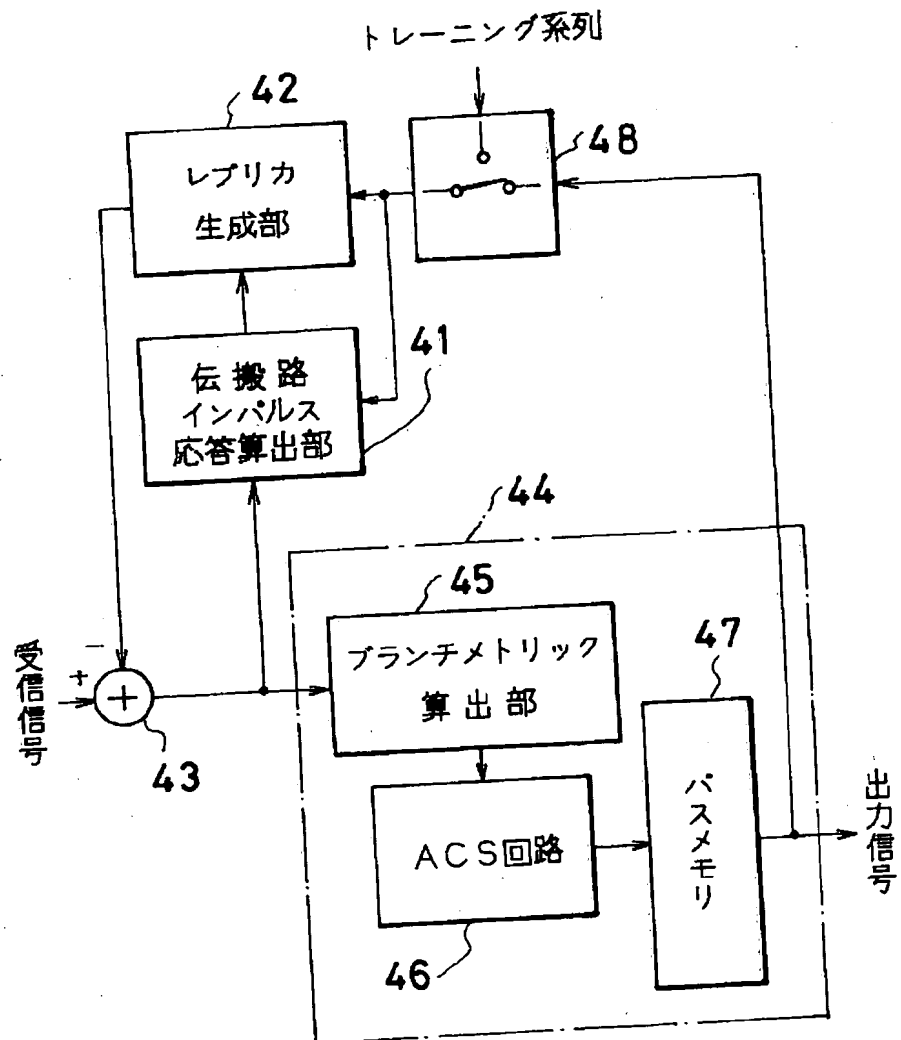
【図4】

本発明の第2の実施例の説明図



【図7】

従来例の説明図



フロントページの続き

(51) Int. Cl. 6

H 0 4 B 7/005

7/02

識別記号

庁内整理番号

7741-5K

Z 4229-5K

F I

技術表示箇所